

(51) 国際特許分類6
G11B 20/14

A1

(11) 国際公開番号

WO00/41176

(43) 国際公開日

2000年7月13日(13.07.00)

(21) 国際出願番号

PCT/JP99/00055

(22) 国際出願日

1999年1月8日(08.01.99)

(71) 出願人 (米国を除くすべての指定国について)

富士通株式会社(FUJITSU LIMITED)[JP/JP]

〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号
Kanagawa, (JP)

富士通周辺機株式会社

(FUJITSU PERIPHERALS LIMITED)[JP/JP]

〒673-1447 兵庫県加東郡社町佐保35番 Hyogo, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)

難波 玲(NANBA, Akira)[JP/JP]

荻野 学(OGINO, Manabu)[JP/JP]

〒673-1447 兵庫県加東郡社町佐保35番

富士通周辺機株式会社内 Hyogo, (JP)

小倉謙一(OGURA, Kenichi)[JP/JP]

〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内 Kanagawa, (JP)

(74) 代理人

弁理士 吉田 稔, 外(YOSHIDA, Minoru et al.)

〒543-0014 大阪府大阪市天王寺区玉造元町2-32-1301
Osaka, (JP)

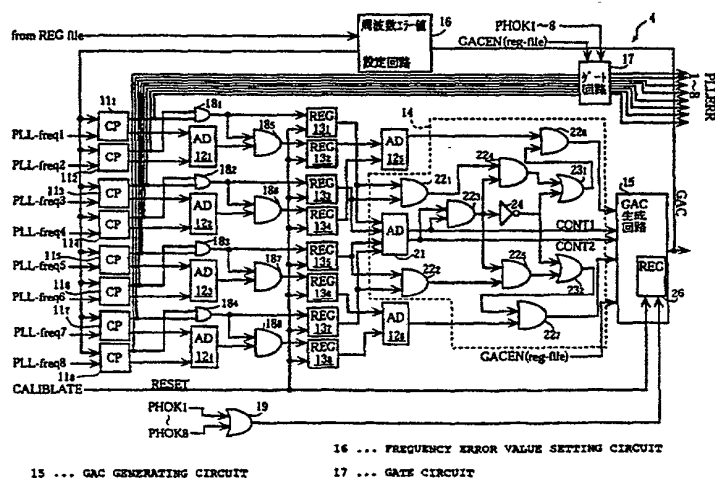
(81) 指定国 JP, US

添付公開書類

国際調査報告書

(54) Title: DIGITAL PHASE LOCK LOOP CIRCUIT

(54) 発明の名称 デジタル位相ロックループ回路



(57) Abstract

A digital phase lock loop circuit has a GAC circuit (4) which calculates the average values of the frequencies of the channels in a phase lock state and feeds back the calculation results to a phase lock loop. The GAC circuit has comparators (11₁ - 11₈) which compare the frequencies of the channels with an allowable frequency range and, if the frequencies of one or more channels are out of the allowable frequency range, output frequency error signals of the respective channels.